

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110799
 (43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/82
 H01L 21/3205
 H01L 21/60

(21)Application number : 2000-293941

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.2000

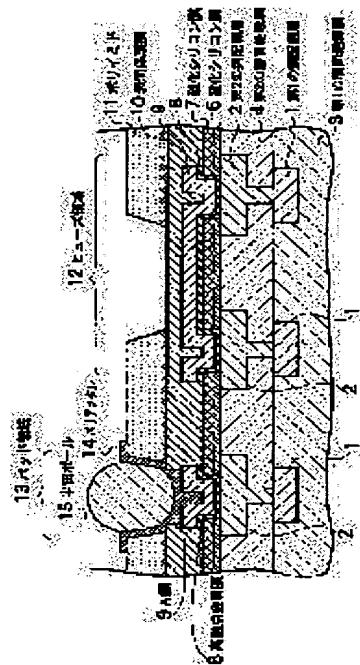
(72)Inventor : ISHIMARU KAZUNARI

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for which it is easy to blow a fuse, and to control a film thickness of an insulation film on the fuse.

SOLUTION: The semiconductor device comprises a plurality of copper interconnection layers, consisting of metal containing copper as a main component, a top upperlayer interconnection layer disposed on the copper interconnection layer and at least including a refractory metal film connected to the copper layer, a surface-protecting film disposed on the top upperlayer interconnection layer, a substrate metal film (barrier metal) for bumps disposed on the surface protecting film and connected to the top upperlayer interconnection layer and solder balls placed on the barrier metal, and a fuse, which can be cut by an energy beam, is at least formed in the top upperlayer. It is thus not necessary to etch the surface protecting film on the fuse in advance prior to blowing of the fuse, so that a range of film thickness which is proper and will not obstruct blowing of the fuse will remain.



LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection] 04.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110799

(P2002-110799A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51)Int.Cl.⁷

H 01 L 21/82
21/3205
21/60

識別記号

F I

H 01 L 21/82
21/88
21/92

テマコード(参考)

F 5 F 0 3 3
T 5 F 0 6 4
S
6 0 3 D
6 0 3 G

審査請求 未請求 請求項の数4 O.L (全 11 頁)

(21)出願番号

特願2000-293941(P2000-293941)

(22)出願日

平成12年9月27日 (2000.9.27)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 石丸 一成

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

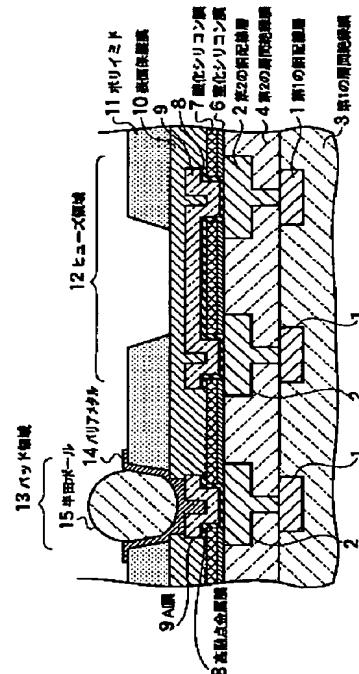
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ヒューズのブローが容易で、且つ、ヒューズ上の絶縁膜の膜厚制御が容易である半導体装置を提供する。

【解決手段】 銅を主成分とする金属から成る複数の銅配線層と、銅配線層の上層に配置され、銅配線層に接続された高融点金属膜を少なくとも含む最上層配線層と、最上層配線層の上に配置された表面保護膜と、表面保護膜の上に配置され、最上層配線層に接続されたバンプ用下地金属膜(バリアメタル)と、バリアメタルの上に配置された半田ボールとを有し、最上層配線層において、エネルギービームにより切断可能なヒューズが少なくとも形成されている。ヒューズを切断する前に予めヒューズ上の表面保護膜に対して、ヒューズの切断に支障の無い範囲の膜厚が残るようにエッチング処理を施す必要がない。



【特許請求の範囲】

【請求項1】 銅を主成分とする金属から成る複数の銅配線層と、
前記銅配線層より上層に配置され、該銅配線層に接続された高融点金属膜を少なくとも含む最上層配線層と、
前記最上層配線層の上に配置された表面保護膜と、
前記表面保護膜の上に配置され、前記最上層配線層に接続されたバンプ用下地金属膜と、
前記バンプ用下地金属膜の上に配置されたバンプとを有し、
前記最上層配線層において、エネルギービームにより切断可能なヒューズが形成されていることを特徴とする半導体装置。

【請求項2】 前記最上層配線と前記銅配線層との間でキャパシタが形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 銅を主成分とする金属から成る銅配線層を絶縁膜を介して半導体基板上に形成する第1工程と、
前記銅配線層に接続された高融点金属膜を少なくとも含む最上層配線層を該銅配線層より上層に形成する第2工程と、
前記最上層配線層の上に表面保護膜を形成する第3工程と、
前記最上層配線層に接続されたバンプ用下地金属膜を前記表面保護膜の上に形成する第4工程と、
前記バンプ用下地金属の上にバンプを形成する第5工程とを有し、
前記第2工程において、最上層配線層の一部としてエネルギービームにより切断可能なヒューズを形成することを特徴とする半導体装置の製造方法。

【請求項4】 前記第1の工程において、前記銅配線層の一部としてキャパシタの一方の電極を形成し、前記第2の工程において、前記最上層配線層の一部として前記キャパシタの他方の電極を形成することを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関わり、特に、銅配線を用いた場合の冗長回路の一部を構成するヒューズを有する半導体装置及びその製造方法に関する。さらに、突起電極（バンプ）を有するフリップチップ実装に適した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路装置においては、回路機能の向上や記憶容量の増大が進められているが、その一方で、素子や配線の微細化、金属配線の多層化などにより、半導体チップの製造途中での欠陥発生率が高くなり、これに伴った半導体チップの製造歩留りの低下が懸念されている。この欠陥発生に起因する歩留り低下

を抑制する代表的技術の一つとして、冗長構成技術（冗長回路：redundancy circuit）が挙げられる。冗長構成技術は、予め半導体チップ内に欠陥部分と置換可能な予備エレメントを設けておき、欠陥が発生した場合にその欠陥部分と予備エレメントとを置換することによって、半導体チップを救済する技術である。例えば、半導体メモリ製品において、不良メモリセルを含むカラム若しくはロウを予備メモリセルで置換する。欠陥部分と予備エレメントとの切り替えは、冗長回路の一部を構成するヒューズ（fuse）の切断によって行われる。ヒューズの切断方法は、例えばレーザによる方法と電気的溶断による方法がある。ヒューズは、通常、多結晶シリコンや金属配線を用いて形成されている。

10

【0003】また、半導体チップの実装技術の分野において、従来のワイヤーボンディングの代替として、フリップチップ実装などのワイヤレスボンディング技術が盛んに研究／開発されている。フリップチップ実装は、半導体チップ表面の電極上にバンプと呼ばれる突起電極を形成し、チップの表裏を逆にして、セラミックなどの配線基板の電極とバンプとを位置合わせて、フェースダウンボンディングで接続する実装方法である。半導体パッケージの小型化、高密度実装化の観点から理想的な実装方法である。

20

【0004】さらに、金属配線は、低抵抗化及び信頼性向上などの観点から、従来のアルミニウム（Al）配線に代わり、銅（Cu）配線が実用化されている。また、半導体集積回路装置の大規模化、高集積化に伴い、配線層数が増加し、現在の高速SRAM（Static RAM）においては4層、またメモリを混載するロジックLSIにおいては5層以上の多層配線層が用いられている。さらに、金属配線の膜厚は、電源電圧の安定化などの観点から、下層に比して上層の方が厚く形成されている。

30

【0005】特開平5-114655号広報には、冗長回路の一部を構成するヒューズに関する発明が開示されている。ここでヒューズは、引き出し電極とバンプとの間に配置された下地金属BLMと同時にパターン形成されている。下地金属BLMは、Al系金属から成る引き出し電極とCCBバンプとを直接接続した場合に生じる相互の拡散を抑制する。下地金属BLMは表面保護膜を形成した後に形成されるため、ヒューズの上方の絶縁膜を予めエッチングして表出させる必要が無い。

40

【0006】特開平11-340265号広報には、Cu系金属から成る電極パッド（Cu系電極パッド）と下地金属（BLM膜）の間に配置された密着層に関する発明が開示されている。密着層を配置することで、下地金属とCu系電極パッドの密着強度を高め、ひいてはデバイス信頼性を向上させている。

【0007】

【発明が解決しようとする課題】多結晶シリコンでヒューズを形成した場合、製造上の容易性等の観点から、例

50

えばMOS・FETのゲート電極をパターン形成する際に同時にパターン形成される。即ち、ヒューズは、半導体チップの最下層に形成される。ヒューズ上の絶縁膜が厚いとレーザがヒューズまで十分に届かず、ブローできない。従って、ヒューズを切断する場合には、ヒューズ切断に支障ない程度の膜厚を残して、ヒューズ上に成膜された絶縁膜を予め除去する必要がある。総ての絶縁膜を除去してヒューズを露出させてしまうと、露出部分のヒューズが腐食してしまう。配線の多層化と共に除去する膜厚が増加するが、ヒューズ上に残す絶縁膜の膜厚(50~500nm)は変化しないため、金属配線の多層化と共にヒューズ部分のエッチャング制御が極めて難しくなってきてている。

【0008】一方、金属配線でヒューズを形成した場合、下層及び上層についてそれぞれ以下に示す問題点を抱えている。即ち、下層の金属配線の場合、多結晶シリコンと同様に、ヒューズを切断するには、ヒューズ上に成膜された絶縁膜を予め除去する必要があり、多層化と共にエッチャング制御が困難となっている。上層の金属配線の場合、電源電圧の安定化などの観点から上層配線の膜厚は下層に比して厚く形成されているため、ヒューズ自体の膜厚が増加してしまう。したがって、レーザでブローしてもヒューズを切断することが困難になる。レーザのエネルギーを高めた場合、ヒューズ周辺の回路を破損する惧れがある。さらに、Cu系配線でヒューズを形成した場合にも以下に示す問題点を抱えている。即ち、通常Cu系配線はダマシン法により形成され、Cu配線の下にはCuの拡散を防止するためのバリア層(高融点金属)が形成されている。ダマシン法においてバリア層は、配線の底面と側面に形成される。レーザから見た配線側面のバリア層の膜厚は、配線自体の膜厚と同程度になるため、レーザでブローする際、側面のバリア層の切断が困難になる。

【0009】また、特開平5-114655号広報において、下地金属BLMはクロム(Cr)/Cu/金(Au)の3種類の積層金属膜である。また、ヒューズの切断部分をこの3層で構成すると、膜厚が厚すぎてレーザによる切断処理が困難になることが記載されている。レーザブローを可能にするために、ヒューズの切断部分を3層の内の下層部分だけで構成している。しかし、下地金属BLMのパターン形成の際に等方的エッチャング処理を用いるため、ヒューズの切断部分のパターン幅は、等方的エッチャング処理の際のサイドエッチャング量以下にしか設計することができず、設計の自由度が狭くなっている。また、下地金属BLMは、通常アッセンブリ工程において形成されるため、ウェハ工程においてヒューズを形成することができない。

【0010】本発明はこのような課題を解決するためになされたものであり、その目的は、ヒューズのブローが容易で、且つ、ヒューズ上の絶縁膜の膜厚制御が容易

である半導体装置及びその製造方法を提供することである。

【0011】本発明の他の目的は、基板・配線工程(ウェハ工程)においてブローが容易なヒューズを形成することができる半導体装置及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の特徴は、銅を主成分とする金属から

10 成る複数の銅配線層と、銅配線層より上層に配置され、銅配線層に接続された高融点金属膜を少なくとも含む最上層配線層と、最上層配線層の上に配置された表面保護膜と、表面保護膜の上に配置され、最上層配線層に接続されたバンプ用下地金属膜と、バンプ用下地金属膜の上に配置されたバンプとを有し、最上層配線層において、エネルギー beamsにより切断可能なヒューズが少なくとも形成されている半導体装置であることである。

【0013】ここで、「銅配線層」は、複数の半導体素子が形成された半導体基板上に配置され、複数の半導体

20 素子を互いに接続することで、半導体基板上に半導体集積回路を形成する。また、複数の銅配線層が層間絶縁膜を介して積層され、異なる銅配線層が、層間絶縁膜内に配置された接続箇所(ヴィアコンタクト)において接続されることで、多層配線構造を有する半導体集積回路が形成される。また、銅配線層は、銅を材料とする場合に限らず、銅とその他の金属との合金を材料としても構わない。

【0014】「最上層配線層」は、最上層の銅配線層と表面保護膜との間に配置された配線層であり、銅配線層

30 との接続において銅の拡散を抑制する高融点金属膜を少なくとも有している。したがって、最上層配線層が複数の膜構造を有している場合、最も下に配置される膜が、銅配線層と接続される高融点金属膜となる。高融点金属膜は、例え、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、タングステン(W)及びこれらの金属を含有する合金を材料とすることが望ましい。最上層配線層は、高融点金属膜の上に配置されたAl系金属膜をさらに有していても構わない。最上層配線層の一部に電極パッドが形成され、この電極パッドを介して、半導

40 体素子の動作に必要な電力が供給され、或いは、半導体集積回路の信号が入出力される。電極パッドへのボンディング方法がワイヤボンディング方法である場合、高融点金属膜の上に500nm程度のAl膜を形成することが望ましい。バンプを用いるフリップチップ実装などのワイヤレスボンディング方法である場合、最上層金属配線層は、高融点金属膜のみで構成しても構わない。電極パッドは半導体チップ上のどの位置に配置しても構わない。即ち、半導体チップ外周の半導体素子が配置されていない領域に電極パッドを配置するだけでなく、半導体

50 素子が配置されている素子領域上に配置しても構わ

い。突起電極（バンプ）を用いたフリップチップ実装における多ピン化に対応することができる。

【0015】「ヒューズ」は、半導体集積回路の一部を構成する回路素子であり、ポリシリコンなどからなる半導体素子、或いは「銅配線層」の一部として形成されているのではなく、「最上層配線層の一部」として形成されている。ヒューズは、例えば、半導体チップ上の欠陥部分と予備エレメントとの切り替えるための冗長回路の一部を構成するヒューズなどを含む。その他にも、半導体装置の製造終了後に、エネルギー빔を照射して意図的に切断することを目的とするヒューズを含む。

【0016】「表面保護膜」は、半導体チップの機能を保護するための膜であり、CVD法などにより成膜される。表面保護膜は、ヒューズ上に形成される絶縁膜であるため、表面保護膜の膜厚はヒューズの切断に支障の無い範囲で選択することが可能である。

【0017】「バンプ」は、フリップチップ実装などのワイヤレスボンディング技術における突起電極を示し、表面保護膜が選択的に除去された電極パッドに接続されている。バンプは、スズ（Sn）、鉛（Pb）、銀（Ag）などの合金を材料とすることが望ましい。「バンプ用下地金属膜」は、電極パッドとバンプとの間に配置され、電極パッドとバンプとの密着性を向上させるための金属膜である。チタン（Ti）、クロム（Cr）、Cu、金（Au）、ニッケル（Ni）などの金属膜を積層したものである。

【0018】本発明の第1の特徴によれば、ヒューズが形成されている最上層配線層の上には保護膜のみが形成されているため、ヒューズを切断する前に予めヒューズ上の絶縁膜に対して、ヒューズの切断に支障の無い範囲の膜厚が残るようにエッチング処理を施す必要がなく、容易にヒューズを切断することができる。また、銅配線層においてヒューズを形成する必要がなくなるため、銅配線層の上に成膜された層間絶縁膜及び表面保護膜をヒューズの切断に支障の無い範囲の膜厚まで薄膜化する必要が無くなる。さらに、ヒューズ上の絶縁膜の膜厚制御のエッチング工程を削除することができるため、製造効率を向上させ、製造コストを削減することができる。また、バンプ用下地金属膜の形成工程及びバンプの形成工程の前に、配線層の一部としてヒューズを形成することができるため、配線工程を行う製造ライン上において、半導体チップの動作テストを実施し、ヒューズブローによる不良箇所と予備エレメントとの置き換えを実施することができる。したがって、動作テストにおいて選別された良品チップに対してのみ、バンプ用下地金属膜の形成工程及びバンプ形成工程などのアッセンブリ工程を実施することができ、生産効率が向上する。

【0019】本発明の第1の特徴において、最上層配線と銅配線層との間でキャパシタが形成されていても構わない。このとき、最上層配線層とその下の銅配線層との

間でキャパシタが形成される。製造工程を増やすことなく、キャパシタを形成することができ、安定した電源電圧を半導体チップ全体に供給することができる。また、バンプは、半導体素子上に配置されていても構わない。フリップチップ実装などのワイヤレスボンディング技術において、多ピン化に対応した高密度な実装が可能になる。また、保護膜の上に保護膜に対して十分大きなエッティング選択比を有する有機樹脂膜が配置され、バンプ用下地金属膜はこの有機樹脂膜の上に配置されていても構わない。保護膜に対して十分大きなエッティング選択比を有するエッティング手段で、最上層配線のヒューズ部分に形成された有機樹脂膜をエッティングすることで、保護膜が表出した時点でエッティングを終了することができる。したがって、ヒューズの上には保護膜のみを容易に配置することができる。

【0020】本発明の第2の特徴は、（1）銅を主成分とする金属から成る銅配線層を絶縁膜を介して半導体基板上に形成する第1工程と、（2）銅配線層に接続された高融点金属膜を少なくとも含む最上層配線層を銅配線層の上層に形成する第2工程と、（3）最上層配線層の上に表面保護膜を形成する第3工程と、（4）最上層配線層に接続されたバンプ用下地金属膜を表面保護膜の上に形成する第4工程と、（5）バンプ用下地金属の上にバンプを形成する第5工程とを少なくとも有し、第2工程において、最上層配線層の一部としてエネルギー빔により切断可能なヒューズを形成する半導体装置の製造方法であることである。

【0021】本発明の第2の特徴によれば、ヒューズが形成される最上層配線層の上には第3工程において保護膜が形成され、第4及び第5工程において、電極パッド部分に対して選択的にバンプ用下地金属膜とバンプが形成されるため、ヒューズの上には表面保護膜のみが形成されることになる。従って、本発明の第1の特徴と同様に、ヒューズを切断する前に予めヒューズ上の絶縁膜に対してエッティング処理を施す必要がなく、容易にヒューズを切断することができる。また、銅配線層においてヒューズを形成する必要がなくなるため、銅配線層の上に成膜された層間絶縁膜及び表面保護膜を薄膜化する必要が無くなり、製造効率を向上させ、製造コストを削減することができる。また、配線工程を行う製造ライン上において、半導体チップの動作テストを実施し、ヒューズブローによる不良箇所と予備エレメントとの置き換えを実施することができる。したがって、動作テストにおいて選別された良品チップに対してのみ、バンプ用下地金属膜の形成工程及びバンプ形成工程などのアッセンブリ工程を実施することができ、生産効率が向上する。

【0022】本発明の第2の特徴において、第1の工程で銅配線層の一部としてキャパシタの一方の電極を形成し、第2の工程で最上層配線層の一部としてキャパシタの他方の電極を形成しても構わない。最上層配線と銅配

線層との間でキャパシタが形成され、製造工程を増やすことなく、キャパシタを形成することができ、安定した電源電圧を半導体チップ全体に供給することができる。また、第3工程と第4工程との間に、表面保護膜に対して十分大きなエッチング選択比を有する有機樹脂膜を保護膜の上に形成する工程をさらに有していくも構わない。

【0023】

【発明の実施の形態】 (第1の実施の形態) 以下図面を参照して、本発明の実施の形態を説明する。図1は、本発明の実施の形態に係る半導体装置の構成の一部分を示す断面図である。図1に示すように、本発明の第1の実施の形態に係る半導体装置は、半導体基板と、半導体基板の上に形成された複数の半導体素子と、複数の半導体素子を互いに接続する複数の銅配線層(1、2)と、銅配線層(1、2)より上層に配置され、銅配線層(1、2)に接続された高融点金属膜8を少なくとも含む最上層配線層(8、9)と、最上層配線層(8、9)の上に配置された表面保護膜10と、表面保護膜10の上に配置され、表面保護膜10に対して十分大きなエッチング選択比を有する有機樹脂膜(ポリイミド)11と、ポリイミド11の上に配置され、最上層配線層(8、9)に接続されたバンプ用下地金属膜(バリアメタル)14と、バリアメタル14の上に配置されたバンプ(半田ボール)15とを有する。最上層配線層(8、9)には、エネルギービームにより切断可能なヒューズが配置されている。図1には、複数の銅配線層の一部(1、2)と、最上層配線層(8、9)と、表面保護膜10と、ポリイミド11と、バリアメタル14と、半田ボール15とを示し、他の半導体基板、半導体素子、銅配線層の残り部分は省略した。

【0024】 複数の銅配線層(1、2)は、層間絶縁膜(3、4)を介して積層され、異なる銅配線層(1、2)が層間絶縁膜4内に配置された接続箇所(コンタクトプラグ)において接続されることで、半導体基板上に多層配線構造を有する半導体集積回路装置が形成される。最上層の銅配線層2の一部に電極パッドが形成され、この電極パッドを介して、半導体素子の動作に必要な電力が供給され、或いは、半導体集積回路の信号が出入力される。図1には、複数の銅配線層の一部として、第1の銅配線層1と第2の銅配線層2を示す。第1銅配線層1の下には第1の層間絶縁膜3が配置され、第1の銅配線層1と第2の銅配線層2との間には第2の層間絶縁膜4が配置されている。第1の銅配線層1は、デュアルダマシング構造を有している。即ち、第1の銅配線層1の一部が、コンタクトプラグとして第2の層間絶縁膜4内に配置され、このコンタクトプラグを介して、第1の銅配線1と第2の銅配線2は接続されている。図1において、右側、中央、左側の3箇所に銅配線層(1、2)が配置され、右側から中央までがヒューズが形成される

ヒューズ領域12、左側が電極パッドが形成されるパッド領域13を示す。図1には示さないが、第1の銅配線層1と半導体基板との間には、異なる銅配線層が配置されていても構わない。

【0025】 第2の銅配線層2の上には塗化シリコン膜6が配置されている。塗化シリコン膜6の上には酸化シリコン膜7が配置されている。酸化シリコン膜7の上には高融点金属膜8が配置されている。高融点金属膜8の上にはA1膜9が配置されている。高融点金属8とA1膜9は、最上層配線層を構成している。最上層配線層(8、9)は、ヒューズ領域12及びパッド領域13に選択的に配置されている。また、高融点金属膜8は、右側、中央、左側の第2の銅配線層2にそれぞれ接続されている。ヒューズ領域12の中央、右側の第2の銅配線層2は、高融点金属膜8を介して接続されている。A1膜9の上には表面保護膜10が配置されている。表面保護膜10の上にはポリイミド11が配置されている。パッド領域13のA1膜9の上には、表面保護膜10及びポリイミド11の代わりにバリアメタル14が配置され、バリアメタル14の一部は、表面保護膜10及びポリイミド11の上にそれぞれ配置されている。バリアメタル14の上には半田ボール15が配置されている。ヒューズ領域12の表面保護膜10の上にはポリイミド11が配置されておらず、表面保護膜10が表出している。

【0026】 次に、図1に示した半導体装置の製造方法を図2乃至図4を参照して説明する。図2乃至図4は、図1に示した半導体装置の製造方法における主要な製造工程を示す断面図である。

【0027】 (1) まず、半導体ウェハをクリーンルーム内の製造ライン上に配置し、基板・配線工程を行う準備をする。そして、製造ラインを駆動させて、基板工程において、半導体ウェハに複数の半導体素子を形成する。具体的には、成膜工程、P E P工程、エッチング工程などを繰り返して、隣り合う半導体素子を分離するための素子分離領域を形成し、素子領域にMOS・FET、バイポーラトランジスタなどの半導体素子を形成する。

【0028】 (2) 次に、配線工程において、半導体基板上の半導体素子に接続される銅配線層をダマシング法により形成して半導体集積回路を形成する。具体的には、まず、半導体基板上に層間絶縁膜を成膜する。銅配線層に接続される半導体素子の各電極部分に窓を有するレジストパターンを形成する。このレジストパターンを介して、異方性エッチングを行い、半導体素子の各電極部分の層間絶縁膜を選択的に除去して、半導体素子の各電極部分が表出したコンタクトホールを形成する。

【0029】 次に、スパッタ法を用いて、コンタクトホール内にタングステン(W)を埋め込む。絶縁膜上の余分なWをCMP(化学的機械的研磨)などにより除去し

て、コンタクトホール内部に選択的に埋め込まれたWプラグを形成する。

【0030】次に、再び層間絶縁膜を成膜する。配線パターン部分に窓を有するレジストパターンを形成し、このレジストパターンを介して異方性エッチングを行い、配線パターン部分の層間絶縁膜を選択的に除去して、Wプラグが表出したダマシ配線溝を形成する。次に、チタン(Ti)、窒化チタン(TiN)などの高融点金属からなるバリア層をダマシ配線溝の内壁に堆積する。次に、真空蒸着法などを用いてCuを堆積してダマシ配線溝を埋め戻す。層間絶縁膜上に堆積された余分な高融点金属及びCuをCMP法などで除去して、ダマシ配線溝内部に選択的に埋め込まれた高融点金属及びCuからなる銅配線層を形成する。以上の工程を経て、半導体基板上に層間絶縁膜とその上に銅配線層を形成することができる。以上の工程を繰り返し行うことで、層間絶縁膜と銅配線層を交互に形成して多層配線を形成することができる。

【0031】ただし、半導体基板上の半導体素子との接続部分に使用したWプラグは、第2層目以上の配線層においては使用しない。Wプラグの代わりに、コンタクトホール及びダマシ配線溝に、高融点金属からなるバリア層及びCuを埋め込んで、図2(a)に示したデュアルダマシ構造を有する銅配線層を形成する。

【0032】(3) 次に、図2(a)に示すように、第2の銅配線層2を形成した後、ウェハ全面に絶縁膜として膜厚が100nmの窒化シリコン膜6をCVD法により堆積する。続けて、膜厚が400nmの酸化シリコン膜7をCVD法により堆積する。窒化シリコン膜6は、第2の銅配線層2から銅が拡散するのを防止する機能を有する絶縁膜である。勿論、窒化シリコン膜6の代わりに、同じ機能を有する他の材料から成る絶縁膜であっても構わない。ここでは、最も一般的な窒化シリコン膜6を第2の銅配線層2の上に堆積した。

【0033】(4) 次に、スピナーを用いて、回転するウェハ上にレジスト液を塗布し、酸化シリコン膜7上に一様にレジスト膜を成膜する。図2(b)に示すように、右側、中央、左側の各第2の銅配線層2上に窓を有するマスクを介してレジスト膜を露光し、レジスト膜を現像することで、右側、中央、左側の各第2の銅配線層2上に開口部を有するレジストパターン17を形成する。レジストパターン17をマスクとしてRIE法を用いて酸化シリコン膜7の異方性エッチングを行い、各第2の銅配線層2上の酸化シリコン膜7を選択的に除去し、窒化シリコン膜6の一部を表出させる。その後、アッシャー(灰化)処理によりレジストパターン17を除去する。

【0034】(5) 次に、図2(c)に示すように、酸化シリコン膜7をマスクとして、窒化シリコン膜6の異方性エッチングを行い、窒化シリコン膜6を選択的に除

去して、各第2の銅配線層2を表出させる。ここで、レジストパターン17を用いて、酸化シリコン膜7及び窒化シリコン膜6を同時にエッチングしてしまうと、レジストパターン17のアッシャー処理時に表出した第2の銅配線2も一緒に酸化されてしまい、電気特性上好ましくない。したがって、酸化シリコン膜7と窒化シリコン膜6などの十分大きなエッチング選択比を有する2種類の絶縁膜の組合せた積層膜を形成することで、第2の銅配線の酸化を回避できる。勿論、十分大きなエッチング選択比を有する2種類の絶縁膜の組合せであれば、これ以外の絶縁膜の組合せであっても構わない。あるいは、表出した銅が酸化することなく、レジストパターン17を除去する処理方法を用いた場合、酸化シリコン膜7及び窒化シリコン膜6の代わりに、単層の層間絶縁膜を第2の銅配線層2の上に形成し、一度にエッチング処理を施しても構わない。いずれの方法を用いても本発明の効果に違いはない。

【0035】(6) 次に、図3(a)に示すように、スパッタ法を用いて、高融点金属膜8を堆積する。高融点金属膜は、特に積層構造でなくとも良く、TaやTaNといった単層の膜でも構わない。ここでは、高融点金属膜8として、膜厚が10乃至60nmの窒化タンタル(TaN)を堆積し、その上に、膜厚が5nmのタンタル(Ta)を堆積する。高融点金属膜8の上に、スパッタ法を用いて、膜厚が500nmのA1膜9を堆積して、高融点金属膜8とA1膜9とからなる最上層配線層を堆積する。A1膜9の膜厚は、ヒューズの抵抗スペックを満たし、且つレーザプローブが可能な膜厚であれば構わない。また、A1膜9は、A1に5wt%程度のCuが添加されているA1Cu膜、A1に5%程度のCu及びシリコン(Si)がそれぞれ添加されたAlSiCu膜であっても構わない。実施の形態においては、ワイヤボンディングによるチップ配線を行うことをも想定し、500nm程度の膜厚のA1膜9を形成する。これは、膜厚が薄いとワイヤを用いたボンディングが行えないからである。また、ワイヤボンディングを行わず、半田ボール15によるワイヤレスボンディングを行う場合、最上層配線層を高融点金属膜8のみで構成し、A1膜9を形成しなくても構わない。実施の形態においては、従来のA1配線に対する半田バンププロセスがそのまま利用できる利点を考慮してA1膜9を形成する。

【0036】(7) 次に、スピナーを用いて、回転するウェハ上にレジスト液を塗布し、酸化シリコン膜7上に一様にレジスト膜を成膜する。所定のマスクを介してレジスト膜を露光し、レジスト膜を現像することで、図3(b)に示すように、ヒューズ領域12とパッド領域13上に選択的にレジストパターン18を形成する。レジストパターン18をマスクとしてRIE法によりA1膜9及び高融点金属膜8の異方性エッチングを行い、ヒューズ領域12とパッド領域13以外のA1膜9及び高

融点金属膜8を選択的に除去する。その後、アシシャー(灰化)処理によりレジストパターン18を除去する。なお、RIE法などのドライエッチングの代わりにウェットエッチングより選択的にA1膜9及び高融点金属膜8を除去しても構わない。最上層配線層(8、9)のエッチング方法により本発明の効果に違いは無い。

【0037】(8) 次に、図3(c)に示すように、CVD法などを用いて、表面保護膜10を堆積する。表面保護膜10は、A1配線を形成した場合に通常使用する窒化シリコン膜や窒化シリコン膜と酸化シリコン膜の積層膜などからなる保護膜である。実施の形態では、半田バンプ形成工程で酸性のエッチング液を用いる場合を考えて、表面保護膜10は、膜厚が300nm程度の酸化シリコン膜を堆積し、その上に耐酸性のある窒化シリコン膜を膜厚が200nm程度で堆積した積層構造を有する。表面保護膜10が窒化シリコン膜の単層膜である場合、窒化シリコン膜の応力により最上層配線層のA1膜9が破断する惧れがある。したがって、A1膜9の上に窒化シリコン膜の応力を吸収する酸化シリコン膜を堆積し、その上に耐酸性の窒化シリコン膜を堆積する。勿論、膜応力の小さい窒化シリコン膜を用いれば、窒化シリコン膜の単層膜で表面保護膜10を構成しても構わない。また、表面保護膜10の膜厚は、ヒューズブローに支障の無い範囲で選択することができる。通常のレーザブローの場合、500nm以下の膜厚の絶縁膜をヒューズ上に形成することで、ヒューズブローが可能である。また、ヒューズ部分の最上層配線層が表出してしまうと、腐食、汚染などが発生してしまうため、半導体集積回路の機能を保護するために必要な膜厚として50nm以上の膜厚の表面保護膜を堆積する必要がある。つまり、表面保護膜は、50乃至500nmの範囲で選択することができる。実施の形態では、窒化シリコン膜と酸化シリコン膜を併せて500nmの膜厚とした。ヒューズ上の絶縁膜の膜厚が堆積膜厚により決定されるため、下層の配線層を用いてヒューズを形成し、ヒューズ上の絶縁膜を選択的に除去する従来の方式に比して、ヒューズ上の絶縁膜の膜厚のばらつきが少なく、安定したヒューズブローを行うことができる。

【0038】(9) 次に、スピナーを用いて、回転するウェハ上にレジスト液を塗布し、表面保護膜10上に一様にレジスト膜を成膜する。所定のマスクを介してレジスト膜を露光し、レジスト膜を現像することで、図3(c)に示すように、パッド領域13上に窓を有するレジストパターン19を形成する。レジストパターン19をマスクとしてドライエッチング法或いはウェットエッチング法により、パッド領域13上の表面保護膜10を選択的に除去して、パッド領域13のA1膜9を表出させる。その後、アシシャー(灰化)処理によりレジストパターン19を除去する。

【0039】(10) 次に、図4(a)に示すように、

表面保護膜10の上にポリイミド11を堆積する。ポリイミド11は信頼性上の問題から用いられるため、必ずしも必要ではないが、実施の形態においては、従来の技術の延長という意味で示している。ポリイミド11は、感光性及び非感光性のものがあるが、必要に応じて選ぶことができる。実施の形態では、工程の簡略化が可能な感光性ポリイミドを用いた場合について示す。次に、図4(b)に示すように、通常のリソグラフィ工程により、ヒューズ領域12及びパッド領域13のポリイミド11を選択的に除去して、ヒューズ領域12の表面保護膜10を表出させ、パッド領域13のA1膜9を表出させる。表面保護膜10はポリイミド11に対して十分大きなエッチング選択比を有しているため、ヒューズ領域12のポリイミド11を除去して表面保護膜10を容易に表出させることができる。

【0040】以上の(1)乃至(10)の各製造工程は、通常、1つのウェハ製造ライン上で連続して実施される。以上の工程が終了した半導体ウェハは、ウェハ検査工程において、動作テストが実施される。例えば、半導体メモリの場合、各チップの各電極パッドにプローブを当て、各メモリセルの動作をテストする。テストにおいて、正常に動作しない不良メモリセルを有するチップに対して、チップ内の冗長回路の一部であるヒューズをレーザブローすることで、不良メモリセルを予備メモリセルで置き換える。正常に動作しないメモリセルを有するチップ不良チップは救済される。動作テストが終了したウェハに対してもう一度、上記プローブテストを実施し、冗長回路によつても救済されなかつた不良チップにフェイルマークを付す。次に、半導体ウェハをウェハ製造ラインから取り出し、動作テストにおける良品チップを、以下に示すアッセンブリ工程が行われる製造ライン上に配置する。

【0041】(11) 最後に、動作テストにおいて良品であったチップに対して、通常の半田バンプ形成プロセスを実施し、バリアメタル14及び半田ボール15をそれぞれ形成する。以上の工程を経て、図1に示した半導体装置を製造することができる。

【0042】以上説明したように、本発明の実施の形態によれば、ヒューズが形成されている最上層配線層(8、9)の上には保護膜10のみが形成されているため、ヒューズを切断する前に、ヒューズ切断に支障ない程度の膜厚を残して、ヒューズ上に成膜された絶縁膜を予め除去する必要がなく、容易にヒューズを切断することができる。また、銅配線層(1、2)においてヒューズを形成する必要がなくなるため、銅配線層(1、2)の上に成膜された層間絶縁膜(3、4)及び表面保護膜10をヒューズの切断に支障の無い範囲の膜厚まで薄膜化する必要が無くなる。さらに、ヒューズの上には保護膜が形成されているため、露出部分のヒューズが腐食してしまうたり、不純物イオンが露出部分から進入して不

良の原因となる惧れが無くなる。

【0043】また、ヒューズ上の絶縁膜の膜厚制御のエッティング工程を削除することができるため、製造効率を向上させ、製造コストを削減することができる。ヒューズのパターン形成の際に等方的エッティング処理におけるサイドエッティングを用いる事がないため、ヒューズの切断部分のパターン幅などの設計の自由度が狭くなることがない。また、バリアメタル（バンプ用下地金属膜）14の形成工程及び半田ボール15の形成工程の前に、配線層の一部としてヒューズを形成することができるため、配線工程を行う製造ライン上において、半導体チップの動作テストを実施し、ヒューズブローによる不良箇所と予備エレメントとの置き換えを実施することができる。したがって、動作テストにおいて選別された良品チップに対してのみ、バリアメタルの形成工程及びバンプ形成工程などのアッセンブリ工程を実施することができ、生産効率が向上する。

【0044】本発明の実施の形態において、図5に示すように、最上層配線（8、9）と第2の銅配線層2との間でキャパシタが形成されていても構わない。このとき、最上層配線層（8、9）および銅配線層2においてそれぞれ平行平板の電極が形成され、窒化シリコン膜6及び酸化シリコン膜7中に電界が形成される。製造工程を増やすことなく、キャパシタを形成することができ、電源電圧をチップ全体に安定して供給することができる。

【0045】また、バリアメタル14及び半田ボール15は、半導体素子上に配置されていても構わない。つまり、図6に示すように、第2の銅配線層2と高融点金属膜8との接続箇所の真上とは異なる部分にバリアメタル14及び半田ボール15を配置しても構わない。さらに、最上層配線層（8、9）を用いて、半導体チップ上の任意の部分へ引き回すことができる。図7（a）は、従来の半導体チップのレイアウトを示し、図7（b）は、本発明に係る半導体チップのレイアウトを示す。図7（a）に示すように、従来は、チップ中央に素子領域を配置し、チップ外周にパッド領域13を配置していた。しかし、図7（b）に示すように、最上層配線層（8、9）を用いてバリアメタル14及び半田ボール15を半導体チップ上の任意の部分へ引き回すことで、半導体チップ上の任意の部分にパッド領域13を配置することができる。フリップチップ実装などのワイヤレスボンディング技術において、多ピン化に対応した高密度な実装が可能になる。

【0046】

【発明の効果】以上説明したように本発明によれば、ヒ

ューズのブローが容易で、且つ、ヒューズ上の絶縁膜の膜厚制御が容易である半導体装置及びその製造方法を提供することができる。

【0047】また本発明によれば、基板・配線工程（ウェハ工程）においてブローが容易なヒューズを形成することができる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の構成の内、ヒューズを含む特徴部分を示す断面図である。

【図2】図2（a）乃至（c）は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である（その1）。

【図3】図3（a）乃至（c）は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である（その2）。

【図4】図4（a）及び（b）は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である（その3）。

20 【図5】最上層配線層と銅配線層との間で形成されたキャパシタの構成を示す断面図である。

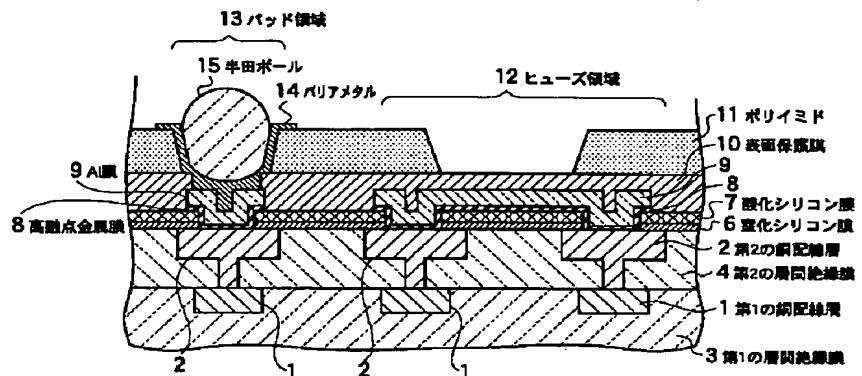
【図6】図1における第2の銅配線層2と高融点金属膜8との接続箇所の真上とは異なる部分にバリアメタル14及び半田ボール15を配置した場合の構成を示す断面図である。

【図7】図7（a）は、従来の半導体チップにおける素子領域とパッド領域のレイアウトを示す平面図であり、図7（b）は、本発明に係る半導体チップにおける素子領域とパッド領域のレイアウトを示す平面図である。

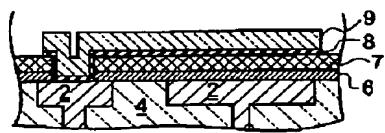
【符号の説明】

- 1 第1の銅配線層
- 2 第2の銅配線層
- 3 第1の層間絶縁膜
- 4 第2の層間絶縁膜
- 6 窒化シリコン膜
- 7 酸化シリコン膜
- 8 高融点金属膜
- 9 A1（アルミニウム）膜
- 10 表面保護膜
- 11 ポリイミド膜
- 12 ヒューズ領域
- 13 パッド領域
- 14 バリアメタル（バンプ用下地金属膜）
- 15 半田ボール（バンプ）
- 17、18、19 レジストパターン
- 20 素子領域

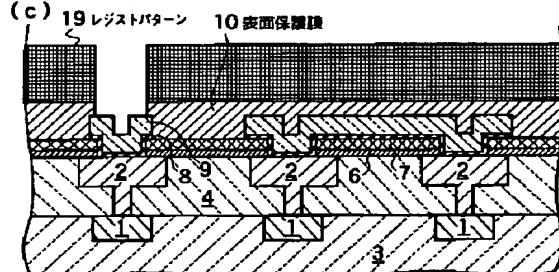
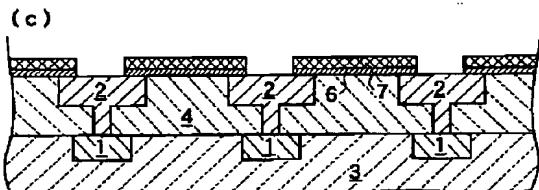
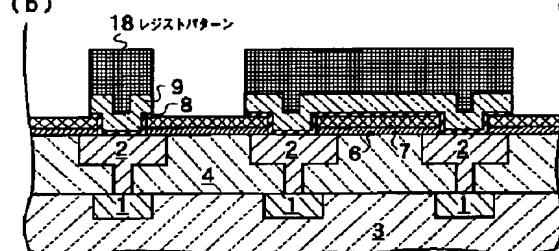
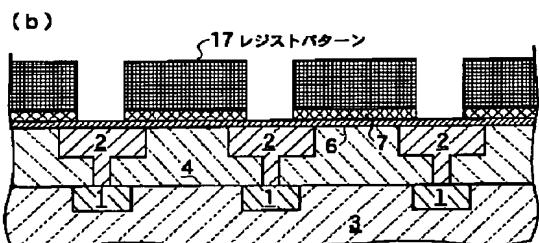
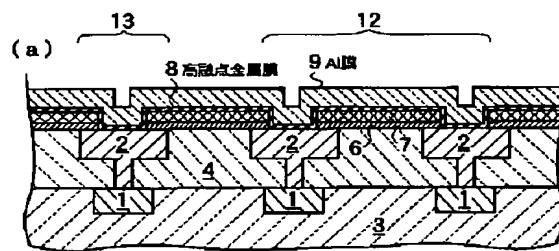
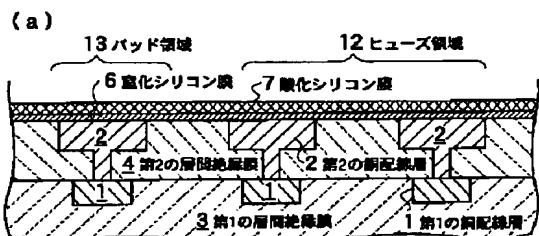
【図1】



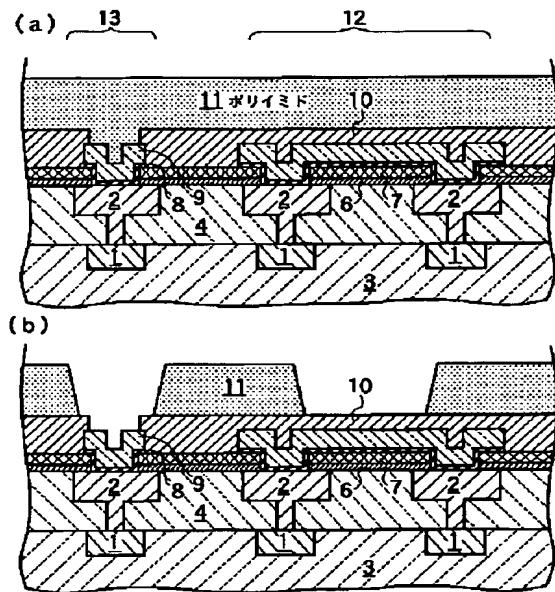
【図5】



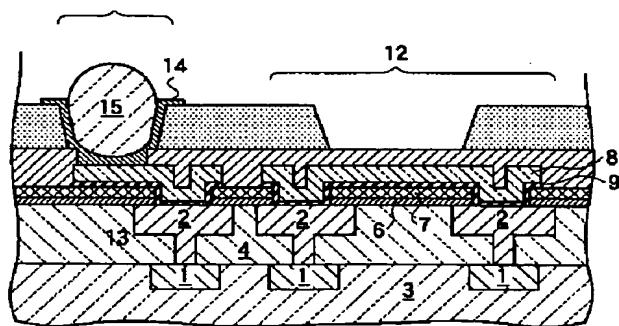
【図2】



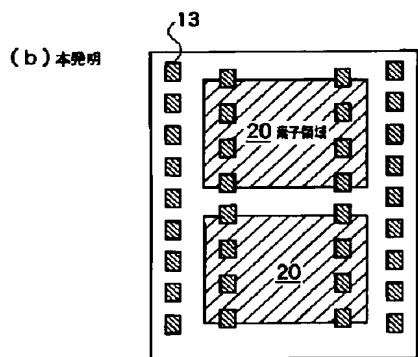
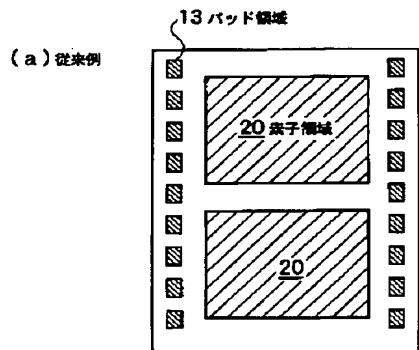
【図4】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5F033 HH08 HH09 HH11 HH18 HH21
HH32 HH33 JJ01 JJ08 JJ09
JJ11 JJ18 JJ19 JJ32 JJ33
KK11 KK18 KK33 MM01 MM02
MM12 MM13 NN06 NN07 PP15
PP19 QQ08 QQ09 QQ10 QQ11
QQ13 QQ16 QQ19 QQ28 QQ35
QQ37 QQ48 RR04 RR06 RR22
RR27 SS11 TT04 UU03 VV07
VV10 VV11 XX00
5F064 CC23 DD42 EE22 EE32 FF02
FF27 FF32 FF33 FF42 GG03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.